

Family list

4 family members for:

JP10104659

Derived from 3 applications.

**1 PRODUCTION OF POLYCRYSTALLINE SILICON THIN-FILM
TRANSISTOR**

Publication info: JP3305961B2 B2 - 2002-07-24

JP10104659 A - 1998-04-24

**2 PRODUCTION OF POLYCRYSTALLINE SILICON THIN FILM
TRANSISTOR**

Publication info: KR250851 B1 - 2000-05-01

**3 Method and apparatus for manufacturing polysilicon thin film
transistor**

Publication info: US6001714 A - 1999-12-14

Data supplied from the **esp@cenet** database - Worldwide

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 10104659
 PUBLICATION DATE : 24-04-98

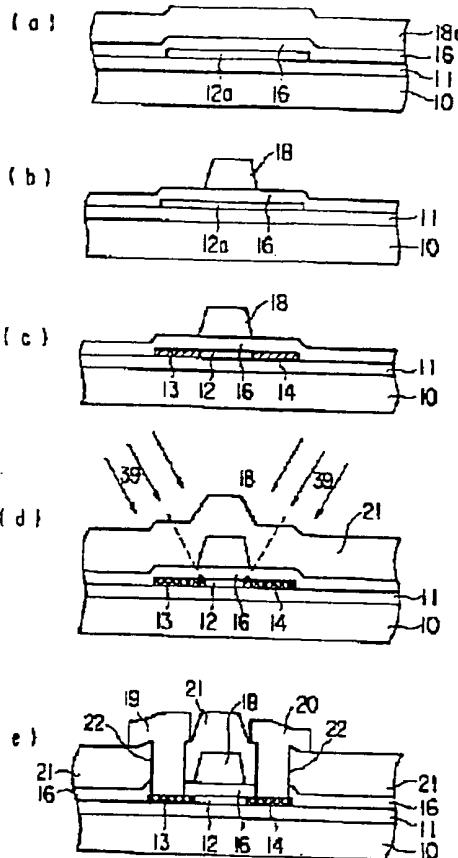
APPLICATION DATE : 26-09-96
 APPLICATION NUMBER : 08254399

APPLICANT : TOSHIBA CORP;

INVENTOR : GOTO YASUMASA;

INT.CL. : G02F 1/136 H01L 29/786 H01L 21/336

TITLE : PRODUCTION OF POLYCRYSTALLINE SILICON THIN-FILM TRANSISTOR



ABSTRACT : PROBLEM TO BE SOLVED: To lessen the coverage defect occurring in the sectional shape of a gate electrode and simultaneously to prevent the occurrence of an activation defect region in part of a channel region corresponding to the lower layer side of the end face of this gate electrode in a process for producing a polysilicon TFT(thin film transistor).

SOLUTION: An impurity is implanted into a polycrystalline silicon thin film 12a formed on an insulative substrate 10 by using the gate electrode 18 worked at the end face to a taper shape as a mask, by which source and drain regions 13, 14 are formed in part of the polycrystalline silicon thin film 12a. Next, the surface of the insulative substrate 10 is diagonally irradiated with an excimer laser beam 39 from the side of the end face of the gate electrode 18. As a result, the source and drain regions 13, 14 are activated and simultaneously, the laser beam 39 is made incident on the lower layer side at the end face of the gate electrode 18 as well, by which part of the channel region is activated.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-104659

(43)公開日 平成10年(1998)4月24日

(51)Int.Cl.⁶
G 02 F 1/136
H 01 L 29/786
21/336

識別記号
500

F I
G 02 F 1/136
H 01 L 29/78

500
617 A
627 G

審査請求 未請求 請求項の数10 O.I. (全 13 頁)

(21)出願番号

特願平8-254399

(22)出願日

平成8年(1996)9月26日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 中島 充雄

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(72)発明者 後藤 康正

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

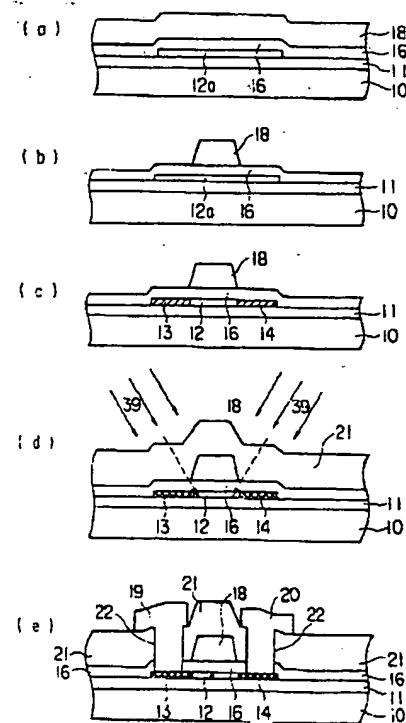
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 多結晶シリコン薄膜トランジスタの製造方法

(57)【要約】

【課題】 ポリシリコンTFTの製造方法において、ゲート電極の断面形状に起因するカバーレージ不良を低減すると同時に、ゲート電極の端面の下層側に当るチャネル領域の一部に活性化不良領域が発生することを防止する。

【解決手段】 絶縁性基板上10に形成された多結晶シリコン薄膜12aに、端面がテーパー状に加工されたゲート電極18をマスクとして用いて不純物を注入して、多結晶シリコン薄膜12aの一部をソース・ドレイン領域13、14を形成する。次に、エキシマレーザビーム39を、ゲート電極18の端面の側方から絶縁性基板10の表面に対して斜めに照射する。これによって、ソース・ドレイン領域13、14を活性化すると同時に、ゲート電極18の端面の下層側にもレーザビーム39を入射させて、チャネル領域の一部を活性化する。



【特許請求の範囲】

【請求項1】 絶縁性基板上に形成された多結晶シリコン薄膜にゲート電極をマスクとして用いて不純物を注入して、この多結晶シリコン薄膜の一部にソース・ドレイン領域を形成した後、当該ソース・ドレイン領域にレーザビームを照射して、当該ソース・ドレイン領域を活性化する多結晶シリコン薄膜トランジスタの製造方法において、

前記レーザビームを前記ゲート電極の端面の側方から前記絶縁性基板の表面に対して斜めに照射することによって、前記ゲート電極の端面の下層側に前記レーザビームを入射させること、

を特徴とする多結晶シリコン薄膜トランジスタの製造方法。

【請求項2】 絶縁性基板上に形成された多結晶シリコン薄膜にゲート電極をマスクとして用いて不純物を注入して、この多結晶シリコン薄膜の一部にソース・ドレイン領域を形成した後、当該ソース・ドレイン領域にレーザビームを照射して、当該ソース・ドレイン領域を活性化する多結晶シリコン薄膜トランジスタの製造方法において、

前記ゲート電極の端面と前記絶縁性基板の表面とのなす角度が鈍角になる様に、前記ゲート電極の端面をテーパー状に形成するとともに、

前記レーザビームを前記ゲート電極の端面の側方から前記絶縁性基板の表面に対して斜めに照射することによって、前記ゲート電極の端面の下層側に前記レーザビームを入射させること、

を特徴とする多結晶シリコン薄膜トランジスタの製造方法。

【請求項3】 前記レーザビームはエキシマレーザビームであることを特徴とする請求項1または2に記載の多結晶シリコン薄膜トランジスタの製造方法。

【請求項4】 画素のスイチング素子として、多結晶シリコン薄膜トランジスタを使用したアクティブマトリクス型液晶表示装置の製造方法において、

透明絶縁性基板上に多結晶シリコン薄膜を形成する工程と、

多結晶シリコン薄膜の上にゲート電極を形成する工程と、

多結晶シリコン薄膜に、前記ゲート電極をマスクとして用いて不純物を注入して、多結晶シリコン薄膜の一部にソース・ドレイン領域を形成する工程と、

レーザビームを、前記ゲート電極の端面の下層側にもレーザビームが入射する様に、前記ゲート電極の端面の側方から前記透明絶縁性基板の表面に対して斜めに照射して、ソース・ドレイン領域を活性化する工程と、
を備えたことを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【請求項5】 画素のスイチング素子として、多結晶シリ

リコン薄膜トランジスタを使用したアクティブマトリクス型液晶表示装置の製造方法において、
透明絶縁性基板上に多結晶シリコン薄膜を形成する工程と、

多結晶シリコン薄膜の上にゲート電極材料を堆積し、次いで、ゲート電極の端面と基板表面とのなす角度が鈍角になる様にゲート電極の端面をテーパー状に加工する工程と、

多結晶シリコン薄膜に、前記ゲート電極をマスクとして用いて不純物を注入して、多結晶シリコン薄膜の一部にソース・ドレイン領域を形成する工程と、

レーザビームを、前記ゲート電極の端面の下層側にもレーザビームが入射する様に、前記ゲート電極の端面の側方から前記透明絶縁性基板の表面に対して斜めに照射して、ソース・ドレイン領域を活性化する工程と、
を備えたことを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

【請求項6】 前記レーザビームはエキシマレーザビームであることを特徴とする請求項4または5に記載のアクティブマトリクス型液晶表示装置の製造方法。

【請求項7】 絶縁性基板上に形成された多結晶シリコン薄膜にゲート電極をマスクとして用いて不純物を注入した後、多結晶シリコン薄膜にレーザビームを照射して、多結晶シリコン薄膜を活性化するレーザアニール方法において、

レーザビームを前記ゲート電極の端面の側方から前記絶縁性基板の表面に対して斜めに照射することによって、前記ゲート電極の端面の下層側にレーザビームを入射させることを特徴とするレーザアニール方法。

【請求項8】 前記レーザビームはエキシマレーザビームであることを特徴とする請求項7に記載のレーザアニール方法。

【請求項9】 絶縁性基板上に形成された半導体薄膜にレーザビームを照射して、この半導体薄膜をアニールするレーザアニール装置において、レーザビームが絶縁性基板の表面に対して斜めに照射される様になっていることを特徴とするレーザアニール装置。

【請求項10】 前記絶縁性基板を前記レーザビームの入射方向に対して傾斜させて保持するとともに、前記傾斜方向に対して平行に移動するステージを備えたことを特徴とする請求項9に記載のレーザアニール装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型液晶表示装置等で用いられる多結晶シリコン薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】エレクトロ・ルミネッセンス、発光ダイオード、プラズマ、蛍光表示、液晶等の表示デバイスは、表示部の薄型化が可能であり、事務機器やコンピュ

ータ等の表示装置、あるいは特殊な表示装置への用途として要求が高まっている。

【0003】これらの表示装置のなかでも、薄膜トランジスタ(Thin Film Transistor: TFT)を画素スイッチング素子として用いたアクティブマトリクス型液晶表示装置(Active Matrix Liquid Crystal Display: AM-LCD)は、高画質・高品位・低消費電力のディスプレイとして期待され、幅広く研究開発が進められている。

【0004】アクティブマトリクス型液晶表示装置の TFT のチャネル活性層として多結晶シリコン (poly-Si) を用いた多結晶シリコン薄膜トランジスタ（以下、ポリシリコン TFT と呼ぶ）は、移動度が高く、画素のスイッチング素子に適用した場合、高精細化が可能であり、更に、画素スイッチング素子を制御するための周辺駆動回路としても使用することができる。即ち、ポリシリコン TFT は、周辺駆動回路部を画素部と同時に形成することが可能であり（駆動回路一体型 LCD）、駆動回路チップの実装コスト削減や挿絆縁化が可能である。

【0005】現在、市販されている駆動回路一体型LCDは、プロジェクション型ディスプレイやビューファインダーに用いられる中小型ディスプレイである。その製造プロセスは、いわゆる高温プロセスと呼ばれるものに該当し、ポリシリコンTFTの形成に固相成長法(600°C程度のプロセス)あるいは熱酸化膜(900°C以上のプロセス)などが使用されている。このため、高価な石英基板や高耐熱性基板が使用されている。

【0006】そこで、高温プロセスによって形成されるものと同等の特性を備えた多結晶シリコン薄膜、ゲート酸化膜、更に不純物活性化領域などを、アモルファスシリコン（以下、a-Siを記す）TFT-LCDで採用されている、いわゆる低温プロセス（ガラス基板が使用可能な温度である450°Cあるいは600°C以下のプロセス）によって形成することが可能となれば、低コストの大面積ガラス基板が使用可能となるので、一枚の基板上に複数のLCDパネルを形成すること（LCDパネル多面取り）が可能となり、コストダウン及びスループット向上などに大きな効果が期待される。

【0007】低温プロセスに基く多結晶シリコン薄膜形成技術及び不純物活性化技術として、エキシマレーザアニール(Excimer Laser Anneal: E L A)を用いたa-Si薄膜の結晶化技術及び不純物活性化技術が知られている。エキシマレーザアニールを施した場合、a-Si薄膜が瞬時に溶融して結晶化するので、基板の熱損傷が少なく、従って、低成本の大面積ガラス基板の使用が可能となる。

【0008】図11に、一般的なポリシリコンTFTの断面構造の概要を示す。透明な絶縁膜11がコートされた透明絶縁性基板10に、多結晶シリコン薄膜からなる高抵抗半導体層12が配置されている。この多結晶シリ

コン薄膜12は、例えば、プラズマCVD法を用いて水素化アモルファスシリコン薄膜(以下、a-Si:H薄膜と記す)を厚さ50nmから70nm程度で堆積し、これに更に熱アニールを施すことにより脱水素処理を行い、次いで、エキシマレーザの照射により多結晶化することによって形成されている。

【0009】TFTのチャネル部となる高抵抗半導体層12に隣接して、ソース・ドレイン領域となる低抵抗半導体層13、14が形成されている。それらは、鱗またはボロンなどの不純物注入後、熱をかけることにより活性化されている。

【0010】高抵抗半導体層12の上には、ゲート絶縁膜16が厚さ70nmから100nm程度で形成されている。このゲート絶縁膜16は、APCVD、PE-CVD、あるいはECR-PECVDなどにより形成されている。

【0011】ゲート絶縁膜16の上にはゲート電極18が形成されている。また、低抵抗半導体層13、14には、それぞれソース電極19及びドレイン電極20が接続されている。ゲート電極18とソース電極19あるいはドレイン電極20との間には、それらを絶縁するために、層間絶縁膜21が形成されている。

【0012】ゲート電極18は、次の理由により、ある程度の膜厚が必要である。a. デバイスの寄生容量を減らすために、ソース・ドレイン領域への不純物注入はゲート電極をマスクとして用いて行われる。ゲート電極が適当な膜厚を持っていないと、不純物がゲート絶縁膜およびチャネル領域にも注入されてしまい、デバイス特性が損なわれる。具体的には、ゲート耐圧が低下したり、閾値(V_{th})がシフトしてしまう。

【0013】b. 同一の材質であるならば、膜厚は厚い方がライン抵抗が低くなる。従って、ゲートパレスの遅延対策などを考慮すると、ある程度の膜厚が必要となる。以上のことから、例えば、MoとTaの合金からなるゲート電極を想定した場合、膜厚として2.50 nmから3.50 nm以上必要であることが、本願発明者らの研究により判明している。

【0011】これまでの経験では、ゲート電極の膜厚が250 nmから350 nm程度で、ゲート電極の断面形状が、その端面（ゲート長の方向と交差する側面、以下同じ）が基板表面に対してほぼ垂直に立ち上がっている形態の場合には、図1-1に示す様に、ゲート電極18の上に堆積される層間絶縁膜21にカバーレージ不良51が発生やすくなり、歩留りの低下の要因となる。

【0015】そこで、図12に示す様に、ゲート電極18の端面をテーパー状に形成して、上記のカバレージ不良の発生を減少させることができて、その場合、新たに次の様な問題が発生する。

【0016】ガラス基板を使用するいわゆる低温プロセスにおいては、600℃以上の熱アニールによる不純物

活性化処理は、ガラスの耐用温度を超えてるので採用することができない。このため、低温プロセスにおいては、不純物活性化処理の工程においても、エキシマレーザアニールに代表されるレーザビームを用いた方法が採用されている。

【0017】ところで、先に述べた様に、ソース・ドレイン領域への不純物注入は、ゲート電極をマスクとして用いて行われる。このため、ゲート電極の端面が上記の様にテーパー状に加工されていると、図13に示す様に、不純物注入の際、ゲート電極18の端面の下層側に当るゲート絶縁膜16及びチャネル領域12の一部52にも、そのテーパー形状に対応した形で、不純物が注入される。

【0018】ところが、後続する工程においてエキシマレーザアニールの様なレーザビームを用いた不純物活性化処理が行われる場合には、ゲート電極によってレーザビームが反射されるので、テーパー部の下層側に当る不純物が注入された部分52には、レーザビームが到達しない、この結果、この部分は活性化されずに残される。

【0019】即ち、ポリシリコンTFTの製造プロセスにおいてゲート電極の端面をテーパー状に加工した構造を採用する場合、不純物活性化処理工程ではエキシマレーザアニールの様なレーザビームを用いる方法を、そのまま適用することはできなかった。

【0020】

【発明が解決しようとする課題】即ち、ポリシリコンTFTの製造方法に関して、これまで、次の様な問題点が有った。

a. ゲート電極が必要な膜厚を持ち、且つ、その端面が基板表面に対して垂直な形状に加工されていると、層間絶縁膜のカバレージ不良の要因となり、歩留りの低下を招く(図11)。

【0021】b. 一方、カバレージ不良を減少させるためにゲート電極の端面をテーパー状に加工すると、ゲート電極の端面の下層側に位置するチャネル領域の一部に、不純物の活性化不足による不良領域が形成される結果、デバイス特性の劣化を招く(図12、図13)。

【0022】本発明は、以上の様な問題に鑑みなされたもので、本発明の目的は、ゲート電極の断面形状に起因するカバレージ不良を低減すると同時に、活性化不良領域の発生を防止することが可能なポリシリコンTFTの製造方法を提供することにある。

【0023】

【課題を解決するための手段】本発明の多結晶シリコン薄膜トランジスタの製造方法は、絶縁性基板上に形成された多結晶シリコン薄膜にゲート電極をマスクとして用いて不純物を注入して、この多結晶シリコン薄膜の一部にソース・ドレイン領域を形成した後、当該ソース・ドレイン領域にレーザビームを照射して、当該ソース・ド

レイン領域を活性化する多結晶シリコン薄膜トランジスタの製造方法において、前記ゲート電極の端面と前記絶縁性基板の表面とのなす角度が鈍角になる様に、前記ゲート電極の端面をテーパー状に形成するとともに、前記レーザビームを前記ゲート電極の端面の側方から前記絶縁性基板の表面に対して斜めに照射することによって、前記ゲート電極の端面の下層側に前記レーザビームを入射させること、を特徴とする。

【0024】なお、前記レーザビームとしてはエキシマレーザが、半導体膜の吸収特性及び直進性などの特性に優れているので、好適である。

(作用) 多結晶シリコン薄膜トランジスタの製造プロセスにおいて、端面がテーパー状に加工されたゲート電極をマスクとして用いて多結晶シリコン薄膜に不純物を注入してソース・ドレイン領域を形成すると、テーパー状に加工されたゲート電極の端面の下層側に当るチャネル領域の一部にも不純物が注入される。ソース・ドレイン領域にエキシマレーザに代表されるレーザビームを照射してソース・ドレイン領域の活性化処理を行う際、レーザビームを、ゲート電極の端面の側方から絶縁性基板の表面に対して斜めに照射することによって、ゲート電極の端面の下層側にもレーザビームを到達させ、ゲート電極の端面の下層側に当るチャネル領域の一部に活性化不良領域が発生する現象を防止する。

【0025】この多結晶シリコン薄膜トランジスタ(ポリシリコンTFT)の製造方法を、ポリシリコンTFTを周辺駆動回路部、及び画素部のスイッチング素子として使用する駆動回路一体型のアクティブマトリクス液晶表示装置の製造プロセスにおいて採用することにより、いわゆる低温プロセスが実現できるので、コストダウン及びスループット向上に大きな効果がある。

【0026】

【発明の実施の形態】以下、本発明の実施の形態を図面を用いて説明する。

(例1) 先ず、本発明に基く多結晶シリコンTFTの製造方法及び構造について説明する。

【0027】図1に、多結晶シリコンTFTの製造工程の概要を示す。図1(a)に示す様に、透明な絶縁膜11がコートされたガラス基板10の上に、プラズマCVD法により厚さ50~70nmのa-Si:H薄膜を形成する。このa-Si:H薄膜に、450°C、1時間のエキシマレーザアニールを施すことにより脱水素処理を行った後、形成されたa-Si薄膜にエキシマレーザアニールを施して、これを多結晶シリコン薄膜に変える、更に、バーナー焼成を行って、チャネル領域等を含む高抵抗半導体層12aを形成する。

【0028】次に、高抵抗半導体層12aの上に、PECVD法により厚さ100nmのゲート絶縁膜16を形成する。更に、ゲート絶縁膜16の上に、Mo-Ta合金(あるいはMo-W合金)を用いて厚さ350nmの

金属薄膜18aを形成する。

【0029】次に、フォトリソグラフィ工程によりレジストをバターニングし、そのレジストをマスクに用いて金属薄膜18aにCDE（ケミカルドライエッティング）を施すことによって、図1（b）に示す様に、端面（ゲート長の方向に交差する面）がテーパー状に加工されたゲート電極18を形成する。

【0030】次に、図1（c）に示す様に、ゲート電極18をマスクに用いて高抵抗半導体層12aの一部に不純物を注入して、ソース・ドレイン領域に当る低抵抗半導体領域13、14を形成する。

【0031】次に、層間絶縁膜21を形成した後、図1（d）に示す様に、エキシマレーザを照射して不純物が注入された領域13、14を活性化する。なお、このエキシマレーザの照射による活性化処理を行う際、レーザビーム39をゲート電極18の端面の側方から基板面に対して斜めに照射することにより、テーパー状に加工されたゲート電極18の端面の下層側に位置する不純物注入領域に対しても、レーザビーム39を入射させる。この様にして、この不純物注入領域の活性化が行われる。

【0032】次に、図1（e）に示す様に、コンタクトホール22を開口した後、金属薄膜を堆積し、この金属薄膜をバターニングしてソース電極19及びドレイン電極20を形成する。

【0033】以上の様な方法を用いて多結晶シリコンTFTを形成することによって、ゲート電極の断面形状に起因するカバレージ不良による歩留りの低下を防止すると同時に、活性化不良領域がない多結晶シリコンTFTを得ることができる。

【0034】（例2）図2に、本発明に基く多結晶シリコンTFTの製造方法において、不純物活性化工程において使用されるエキシマレーザアニール装置の一例を示す。（a）は装置の全体構成を示す概略図、（b）は被処理基板の表面にレーザビームが斜めに入射する状態を説明する模式図である、図中、31はレーザ光源、32は光学系、39はレーザビーム、35は真空チャンバ、36は石英窓、34はステージ、40は被処理基板を表す。

【0035】真空チャンバ35内に設けられたステージ34の上には、レーザアニールされる被処理基板40がセットされる。レーザ光源31は真空チャンバ35の外部に配置され、真空チャンバ35の天井部には透明な石英窓36が設けられている。なお、被処理基板40は、先行する工程において、その表面にa-Si薄膜（12、13、14）、ゲート絶縁膜16、及びゲート電極18が形成され、更にゲート電極18をマスクとして用いた不純物注入の工程、及び層間絶縁膜21の形成工程までが終了している。

【0036】レーザ光源31から発射されたレーザビーム39は、光学系32を通って所定の形状（例えば、幅

の狭いライン状のビーム、あるいは矩形のビームなど）に加工され、石英窓36を透過して被処理基板40の表面に照射される。以下の例では、レーザビームを加工して幅1mmのライン状のビームとしている。

【0037】このエキシマレーザアニール装置では、レーザビーム39を上から下へ垂直に照射するとともに、ステージ34をレーザビーム39の入射方向に対して斜めに傾けることによって、図2（b）に示す様に、レーザビーム39をゲート電極18の端面の側方から被処理基板40の表面に対して斜めに入射させている。また、この装置では、レーザの光学系32を移動せずに、基板40を載せたステージ34を傾斜方向に沿って移動させることにより、相対的にレーザビーム39を走査して、被処理基板40の全面が照射される様になっている。この様に、被処理基板40を傾けた姿勢のまま水平方向に移動させてるので、水平方向の基板の移動距離が短くなり、装置の占有面積、特に、真空チャンバの占有面積が減る利点もある。

【0038】図3（a）、（b）に示す様に、TFTのソース13側とドレイン14側とで、レーザビーム39の照射角度を反転させて、ゲート電極18の端面のテーパー状に加工された部分の下層側にレーザビームを入射させる。これにより、全てのTFTのソース・ドレイン領域が活性化される。

【0039】（例3）図4及び図5に、本発明に基く多結晶シリコンTFTの製造方法を駆動回路一体型のアクティブマトリクス型液晶表示装置に適用した例を示す。図4（a）及び図5（a）は、画素領域にスイッチング素子として配置されるTFTの形態を、図4（b）及び図5（b）は、駆動回路部においてCMOS回路を構成するTFTの形態を、それぞれ表す。

【0040】図4（a）、（b）に示す様に、画素領域と駆動回路部との間で活性化の対象となるTFTのチャネルの方向を一定の方向に揃えておけば、一往復のレーザビーム挿引によって、ゲート電極の端面部分の下層側に位置する不純物注入領域を活性化することができる。

【0041】これに対して、図5（a）、（b）に示す様に、画素領域と駆動回路部との間で活性化の対象となるTFTのチャネルの方向が互いに直交している場合には、一往復のレーザビーム挿引のみでは、全ての前記不純物注入領域を活性化することはできない。従って、この様な場合には、一往復のレーザビーム挿引の後、被処理基板を90度回転させて、再度、レーザビームを照射する必要がある。

【0042】従って、本発明に基く多結晶シリコンTFTの製造方法を駆動回路一体型のアクティブマトリクス型液晶表示装置に適用する場合、被処理基板内の活性化の対象となるTFTのチャネルの方向を一定の方向に揃えておくことが、生産効率の上で好ましい。

【0043】（例4）図6に、本発明に基く多結晶シリ

TFTの製造方法において、不純物活性化工程で使われるエキシマレーザアニール装置の別の例を示す。 (a) は装置の全体構成を示す概略図、(b) は被処理基板の表面にレーザビームが入射する状態を説明する模式図である。図中、31はレーザ光源、32は光学系、34はステージ、39はレーザビーム、41、42、43はミラー、40は被処理基板を表す。

【0044】図6に示す様に、エキシマレーザ光源31から発射されたレーザビーム39は、光学系32を通して所定の形状に調整された後、被処理基板40に入射する直前に、一旦、ミラー41により斜め方向に二分割される。分割されたレーザビームは、更に、それぞれミラー42あるいはミラー43により反射され、被処理基板表面に入射する。この様な方法によって、レーザビーム39は、被処理基板40表面に垂直な平面内で、被処理基板40表面に対する垂線に関して対称な二つの入射角度から、斜めに被処理基板40表面に入射する様になる。

【0045】この装置を使用した場合、一方向のレーザビーム挿引により、同時にソース側、ドレイン側の双方を活性化することができる。

(例5) なお、エキシマレーザの被処理基板に対する入射角度は、以下の様に設定される。

【0046】図7は、多結晶シリコン薄膜トランジスタのゲート電極の端面付近の断面を模式的に表したものである。図中、18はゲート電極、16はゲート絶縁膜、12は多結晶シリコン層を表す。

【0047】本願発明者らの研究から、例えば、ゲート絶縁膜16の厚さを100nmとし、不純物注入の加速電圧を100keVとした場合、ゲート電極18の金属層の厚さが100nm以下の場合に、その下層側の多結晶シリコン層まで不純物が注入されることが判明している。従って、ゲート電極の端面のテーバー角度(α)を30°とした場合、ゲート電極18の下層側に位置する多結晶シリコン層12の内、不純物が注入される領域の幅L(nm)は、下式で与えられる。

$$【0048】 L = 100 / \tan 30^\circ$$

一方、この様に不純物が注入される領域まで、不純物活性化工程においてエキシマレーザビームを到達させるためには、エキシマレーザビームの入射角度 θ は、下記の様に設定すればよい。

$$【0049】 \theta \leq \phi \\ \phi = \arctan(T/L)$$

ここで、T(nm)はゲート絶縁膜の厚さを表す。

【0050】即ち、エキシマレーザビームの入射角度 θ は、上記の角度 ϕ よりも小さな角度とする必要がある。なお、一般的には、この角度 ϕ は、ゲート電極に用いられる金属薄膜の阻止能、ゲート絶縁膜の厚さ、不純物の種類及び加速電圧等に依存する。従って、これらのパラメータに応じて入射角度 θ を決定する必要がある。

【0051】(例6) なお、レーザビームを被処理基板の表面に対して斜めに照射することによって、次の様な効果も得られる。

【0052】a-Si薄膜を、エキシマレーザを用いて多結晶シリコン化する場合において、図8に示す様に、レーザビームを被処理基板の表面に対して斜めに照射すると、レーザビームは、被処理基板の表面の一部においてのみフォーカスが合い、他の部分ではフォーカスが外れることになる。即ち、図のA1-A2の線上でフォーカスが合い、A3の位置ではフォーカスが外れることになる。従って、レーザビームのエネルギーが被処理基板の表面の一部(A1)の位置において多結晶シリコン化するために必要な値であるとき、他の部分(A3)においては、フォーカスが外れているので、その必要な値よりも低いエネルギーが照射される。レーザビームの挿引方向が図8の右から左に動くとき、多結晶シリコン化されるアモルファスシリコン層には、弱いレーザビームが照射された後に必要なエネルギーのレーザビームが照射されることになる。従って、多結晶シリコン化される直前に照射される弱いレーザビームによって、水素の脱離が促進され、結晶化度が上昇する。

【0053】また、同様な方法により、先行する工程においてa-Si:H薄膜に脱水素処理(アレアニール)を施すことなく、レーザアニール処理ができることになり、スループットの向上につながる。

【0054】(例7) また、レーザビームを被処理基板の表面に対して片側から斜めに照射することによって、以下に示す様に、オフセットゲート構造を作ることができる。

【0055】ポリシリコンTFTにおいて、ゲートがOFFのときに流れてしまう電流(リーク電流)を抑えるために、ドレイン領域とチャネル領域の境界部に、低濃度不純物を注入したLDD(Lightly doped drain)構造を採用したり、ゲート電極を活性層の幅より狭く加工するオフセットゲート構造などを採用して、リーク電流を低減する工夫が行われている。

【0056】図14に、従来のLDD構造の製造方法の概要を示す。図14に示す様に、ゲート電極18を形成後(図a)、ゲート電極18をマスクとして用いて多結晶シリコン層12aに不純物を低濃度で注入する(図b)。次に、ゲート電極18の周囲にレジスト85でパターンを形成し、このレジスト85をマスクとして用いて高濃度の不純物を注入して、ソース13及びドレイン領域14を形成する(図c)。レジスト剥離後、ゲート電極18等の上に層間絶縁膜21を形成する(図d)。この様にして、ゲート電極18の端部の外側に当るチャネル領域12とソース領域13あるいはドレイン領域14との境界部分に、低濃度の不純物が注入された領域(LDD)81が形成される。

【0057】図14に、従来のオフセットゲート構造の

製造方法の概要を示す。図15に示す様に、ゲート電極18aを形成後(図a)、ゲート電極18aをマスクとして用いて多結晶シリコン層12aに不純物を注入する(図b)。次に、ゲート電極18aの上にレジスト85でゲート電極18aよりも狭いパターンを形成し、このレジスト85をマスクとして用いてゲート電極を再度エッチングして、ゲート長を縮小する(図c)。レジスト剥離後、ゲート電極18等の上に層間絶縁膜21を形成する(図d)。この様にして、チャネル領域12とソース領域13あるいはドレイン領域14との境界部が、ゲート電極18の端部から僅かに外側に外れたオフセットゲート構造83が形成される。

【0058】以上の様なオフセットゲート構造は、レーザビームを被処理基板の表面に対して片側から斜めに照射することによっても形成することができる。図9に、本発明のレーザアニール方法に基くオフセットゲート構造の製造方法の概要を示す。

【0059】図9に示す様に、ゲート電極18を形成後(図a)、ゲート電極18をマスクとして用いて多結晶シリコン層12aに不純物を注入し、ソース領域13及びドレイン領域14を形成する(図b)。次に、層間絶縁膜21を形成した後、ゲート電極の端面の側方から基板表面に対して斜めの一方向からのみエキシマレーザを照射してレーザアニールを施す(図c)。

【0060】レーザビーム39の照射角度、ゲート電極18の膜厚、ゲート絶縁膜16の膜厚、及び多結晶シリコン層12aの膜厚を適当に選択することにより、ドレイン領域14の内、ゲート電極18の影になる部分に、不純物は注入されるがレーザアニールが行われない領域83が形成される。この領域83は、不純物活性化が行われていないので、単なる抵抗成分として機能することになる。これは、先に示したゲートオフセット構造と等価の構造であり、従来のプロセス(図15)を使用せずにオフセットゲート構造を形成することができる。

【0061】その後、コンタクトホール22を開口して、ソース電極19、ドレイン電極20を形成してオフセットゲート構造のTFTが完成される(図d)。ゲートオフセット構造のオフセット長は、LDDの場合とは異なり、抵抗成分であるので、短いことが要求される。即ち、オフセット長が長過ぎるとオン電流が十分に確保できない。そこで、フォトリソグラフィの際に厳しいバーニング精度が要求される。

【0062】この例に示した方法の場合、照射角度を変えることによってオフセット長(83部分の長さ)を調整することができる。そのため、特別にプロセスを追加しないで、フォトリソグラフィと同程度の精度を得ることができる利点がある。

【0063】例えば、ゲート絶縁膜の厚さが100nm、多結晶シリコン層の膜厚が50nm、レーザビームの入射角が基板表面に対して平行な方向から30度とし

た場合、オフセット長は、概略0.2μm程度になる。この長さは、LCDで使用されている様なフォトリソグラフィの際のバーニングの精度としては、かなり厳しい値に相当する。

【0064】(例8)次に、上記の方法によるゲートオフセット構造をCMOS回路の製造に適用した例について説明する。

【0065】図10は、CMOS回路の一例を示したもので、(a)は平面図、(b)はp型チャネルTFTのチャネル方向に沿った断面図、(c)はn型チャネルTFTのチャネル方向に沿った断面図を表す。

【0066】CMOS回路を構成するn型チャネルTFT71については、上記の例と同様にエキシマレーザをソース13側から斜めに照射することにより、ゲートオフセット領域を形成し、一方p型チャネルTFT71については、チャネル長方向断面に対して傾きを持たないようにエキシマレーザを照射して、ソース・ドレイン領域をゲート電極に対して自己整合的に活性化させる。

【0067】即ち、図10に示す様に、n型チャネルTFT71とp型チャネルTFT72を、チャネル長方向が互いに直交するように配置し、n型チャネルTFT71のソース13側から斜めにエキシマレーザを照射する。これにより、n型チャネルTFT71のゲートオフセット領域形成とp型チャネルTFT72のソース・ドレイン領域の自己整合的な活性化を同一工程で行うことができる。

【0068】なお、本発明は、上記の例に限定されるものではない。例えば、a-Si:H薄膜は、上記の例で使用したプラズマCVD法の代わりに、PCVD法などにより形成することもできる。なお、その膜厚としては、50~80nm程度が適当である。また、a-Si:H薄膜の脱水素処理工程を省略するために、始めから含有水素量を減らしたa-Si薄膜を形成しても良い。また、多結晶シリコン被膜をCVDなどの成膜法により直接形成してもよい。

【0069】また、エキシマレーザアニールの方法に関しても、層間絶縁膜を形成する前にエキシマレーザアニールを行ってもよい。また、ゲート絶縁膜は、上記の例で使用したPECVD法の代わりに、APCVD、ECR-PECVD法などにより形成することもできる。なお、その膜厚としては、70nmから100nm程度が適当である。

【0070】また、ゲート電極の材料としては、Mo、Al、Ti、W、Cu、及びそれらの合金・積層薄膜、またはドープしたシリコン薄膜などが使用できる。その膜厚としては、250nm~400nm程度が適当である。

【0071】更に、TFT構造についても、この例で用いたコアラ型TFTのみに限定されるものではない。リーク電流を低くするためにLDD構造でもよい。

ート電極を複数とするマルチゲート（ダブルゲート）TFTでもよい。

【0072】液晶表示装置の駆動回路は、nチャネルTFTとpチャネルTFTで形成されるCMOSの場合であってもかまわない。特に、CMOSにより駆動回路を形成した場合には低消費電力の液晶表示装置が得られる。

【0073】また、本発明の方法に使用されるレーザアニール装置も、上記の例（図2、図5）の構造に限定されるものではない。例えば、被処理基板40が設置されるステージ34には、基板を加熱するためにヒーターが内蔵される場合もある。また、被処理基板40は、真空中でレーザアニールされる場合もあれば、特定の雰囲気中でアニールされる場合もある。特定の雰囲気とは、例えば炭素の薄膜への混入をさけるために窒素雰囲気であったり、還元雰囲気を得るために水素雰囲気であったりする、状況に応じて使い分ければよい。

【0074】また、基板側を移動せずに、光学系を移動することによりレーザビームを被処理基板40の全面に照射する方法でもよい。また、使用するレーザとしては、XeCl、XeF、KrFなどのエキシマレーザが適当であるが、それに限定されるものではなく、半導体薄膜による吸収特性及び直進性などの特性に優れたものであれば使用することができる。

【0075】

【発明の効果】本発明の多結晶シリコン薄膜トランジスタの製造方法によれば、不純物の注入後の多結晶シリコン層の活性化にエキシマレーザ等のレーザビームを使用する事な可能になる。この方法を使用することにより、端面をテープー状に加工したゲート電極を採用できるので、歩留まりの向上に効果があるとともに、450°Cあるいは600°C以下の低温プロセスでアクティブマトリクス型液晶表示装置を製造することが可能になるので、アクティブマトリクス型液晶表示装置の製造コストの低減に大きな効果がある。

【図面の簡単な説明】

【図1】本発明に基く多結晶シリコン薄膜トランジスタの製造方法の概要を示す図、(a)は金属薄膜の堆積が終了した段階、(b)はゲート電極のパターニングが終了した段階、(c)は不純物注入が終了した段階、(d)はエキシマレーザビームの照射による活性化処理工程の途中の段階、(e)はソース・ドレイン電極の形成が終了した段階の各断面図を表す。

【図2】本発明に基く多結晶シリコン薄膜トランジスタの製造方法において使用されるエキシマレーザアニール装置の一例、(a)は装置の全体構成を示す概略図、(b)は被処理基板の表面にレーザビームが入射する状態を説明する模式図。

【図3】本発明に基く多結晶シリコン薄膜トランジスタの製造方法において使用されるエキシマレーザアニール

方法を説明する図、(a)は第一回目のレーザ挿引の状態を、(b)は第二回目のレーザ挿引の状態を、それぞれ表す。

【図4】駆動回路一体型のアクティブマトリクス型液晶表示装置におけるTFTの配置の状態の一例を示す図。

【図5】駆動回路一体型のアクティブマトリクス型液晶表示装置におけるTFTの配置の状態の他の例を示す図。

【図6】本発明に基く多結晶シリコン薄膜トランジスタの製造方法において使用されるエキシマレーザアニール装置の他の例、(a)は装置の全体構成を示す概略図、(b)は被処理基板の表面にレーザビームが入射する状態を説明する模式図。

【図7】ゲート電極の端面付近におけるエキシマレーザビームの入射の状態を表す模式図。

【図8】本発明のレーザアニール方法を説明する図。

【図9】本発明のレーザアニール方法に基くゲートオフセット構造の製造工程を説明する図、(a)はゲート電極の形成後、(b)は不純物の注入後、(c)はレーザアニールの途中の段階、(d)はソース・ドレイン電極の形成後の各断面図を表す。

【図10】本発明のレーザアニール方法に基くゲートオフセット構造の製造方法をCMOS回路に適用した例を示す図、(a)は平面図、(b)はp型チャネルTFTのチャネル方向に沿った断面図、(c)はn型チャネルTFTのチャネル方向に沿った断面図を表す。

【図11】従来技術による薄膜トランジスタの断面構造の一例を示す図。

【図12】従来技術による薄膜トランジスタの断面構造の他の例を示す図。

【図13】従来技術による薄膜トランジスタの断面構図の詳細部の例を示す図。

【図14】従来技術によるLDI構造の製造工程を説明する図、(a)はゲート電極の形成後、(b)は低濃度の不純物の注入後、(c)は高濃度の不純物の注入後、(d)は層間絶縁膜の形成後の各断面図を表す。

【図15】従来技術によるゲートオフセット構造の製造工程を説明する図、(a)はゲート電極の形成後、(b)は不純物の注入後、(c)はゲート電極を再度エッチングした後、(d)は層間絶縁膜の形成後の各断面図を表す。

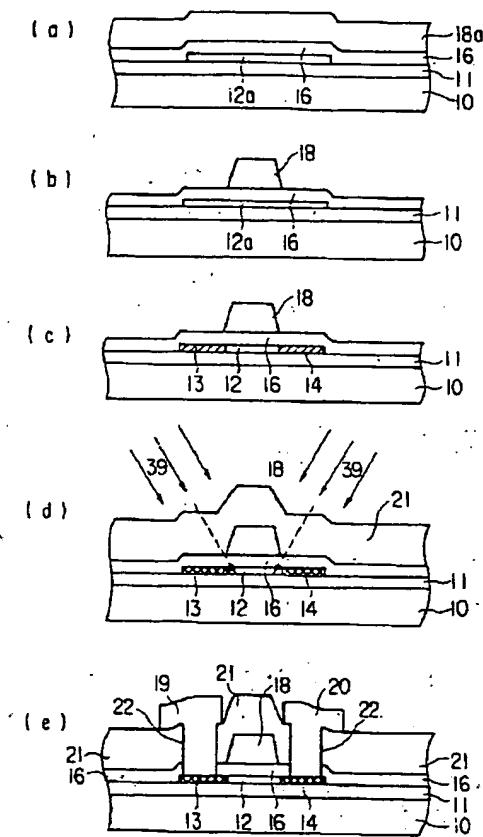
【符号の説明】

10···ガラス基板、11···基板保護膜、12···トントル領域（高抵抗半導体領域）、13···ソース領域（低抵抗半導体領域）、14···ドレイン領域（低抵抗半導体領域）、16···ゲート絶縁膜、18···ゲート電極、19···ソース電極、20···ドレイン電極、21···層間絶縁膜、22···コントラクトホール、31···レーザ光源、32···光学系、33···雰囲気ガス導入口、34···ステー

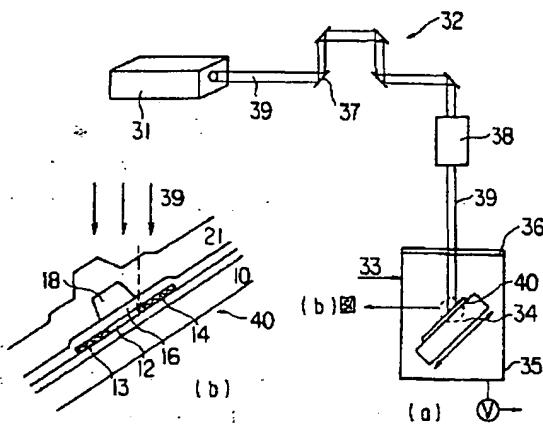
ジ、35……真空チャンバ、36……石英窓、37……ミラー、38……ビームホモジナイザ、39……レーザビーム、40……被処理基板、41、42、43、44……ミラー、51……カバレージ不良、52……活性化不良領域、61……信号線、62……走査線、63……ゲート電極、64……ソ

ース電極、64……ドレン電極、66……画素電極、71……n型チャネルTFT、72……p型チャネルTFT、73……ゲート、81……LDD領域、83……ゲートオフセット構造、85……レジスト。

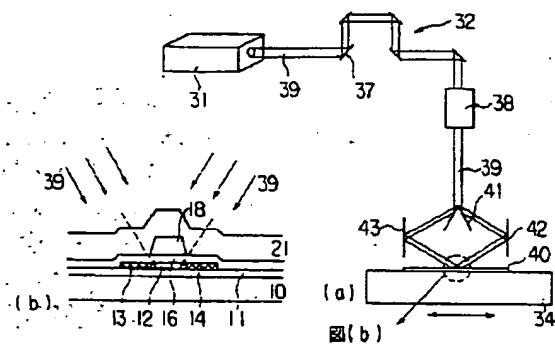
【図1】



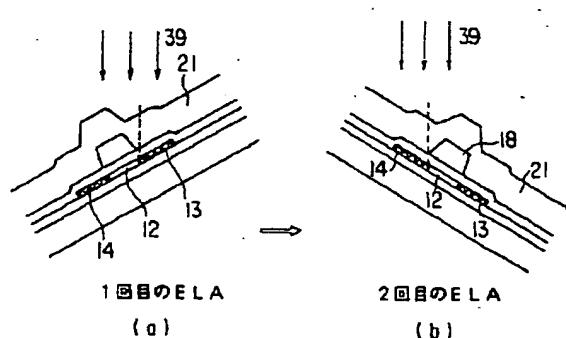
【図2】



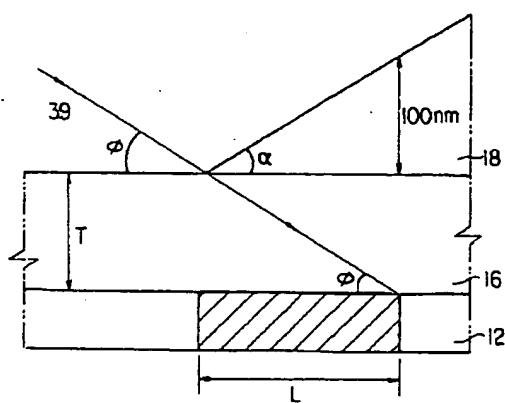
【図6】



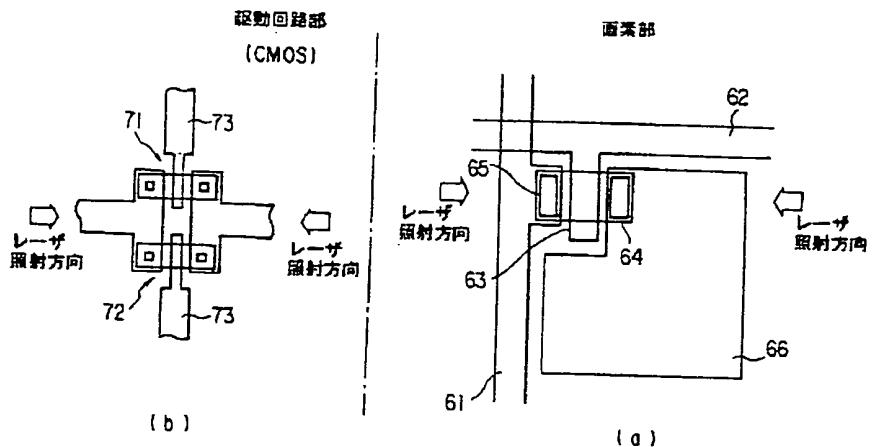
【図3】



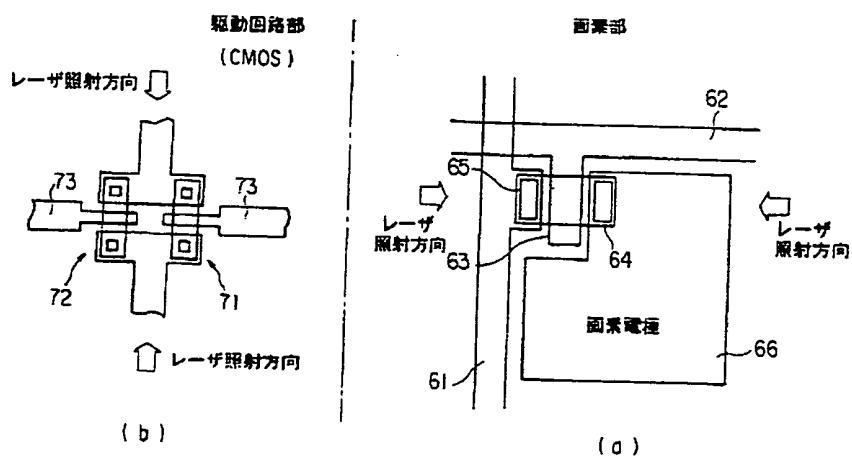
【図7】



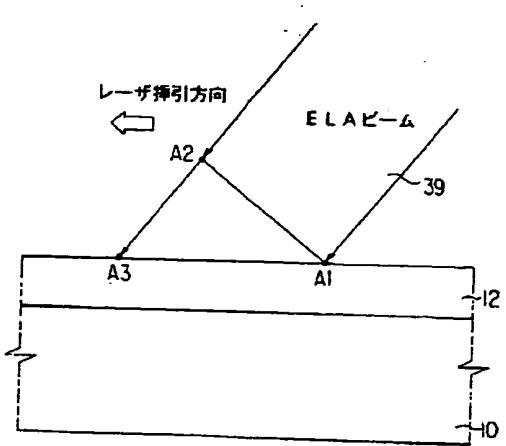
【図4】



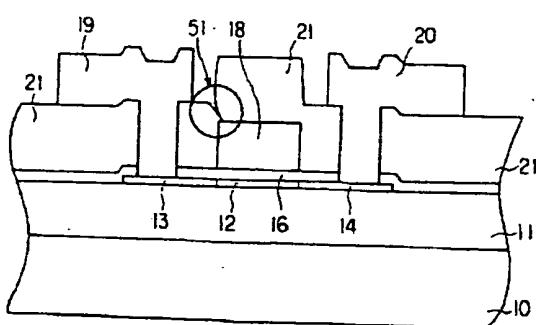
【図5】



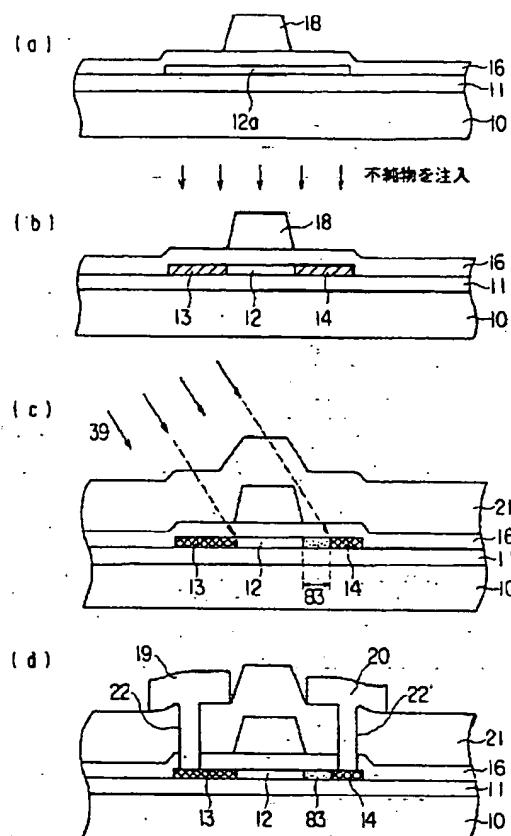
【図8】



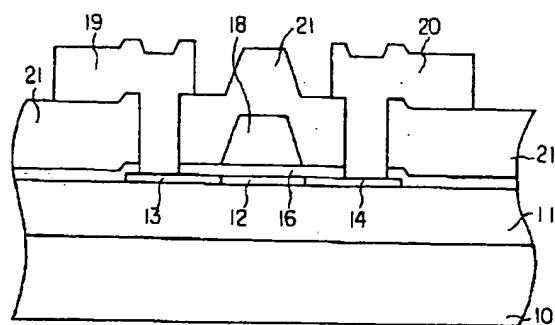
【図11】



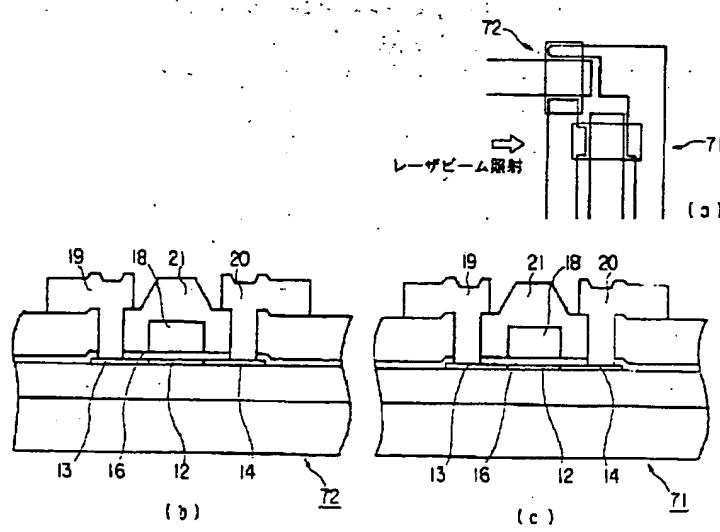
【図9】



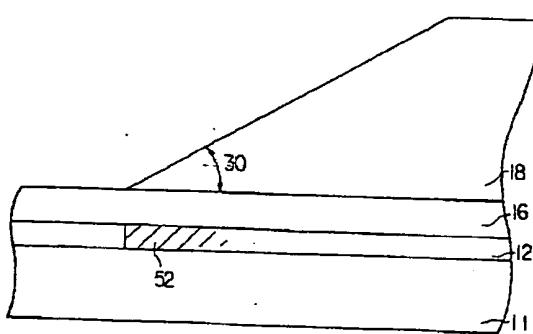
【図12】



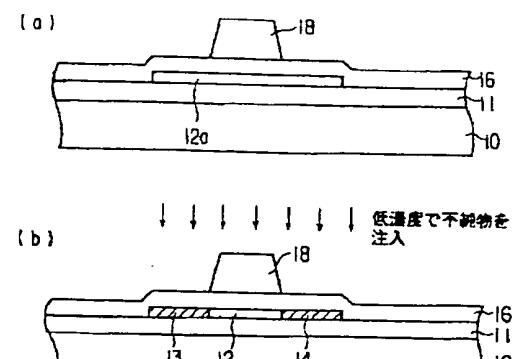
【図10】



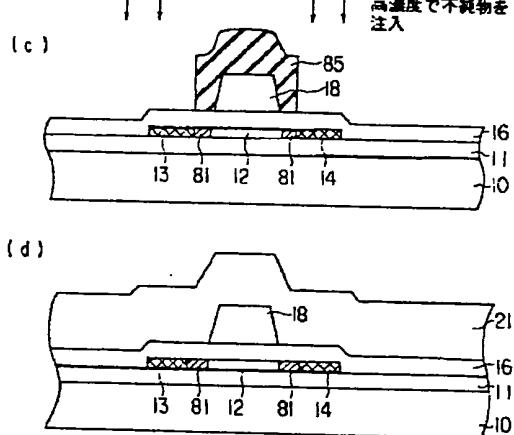
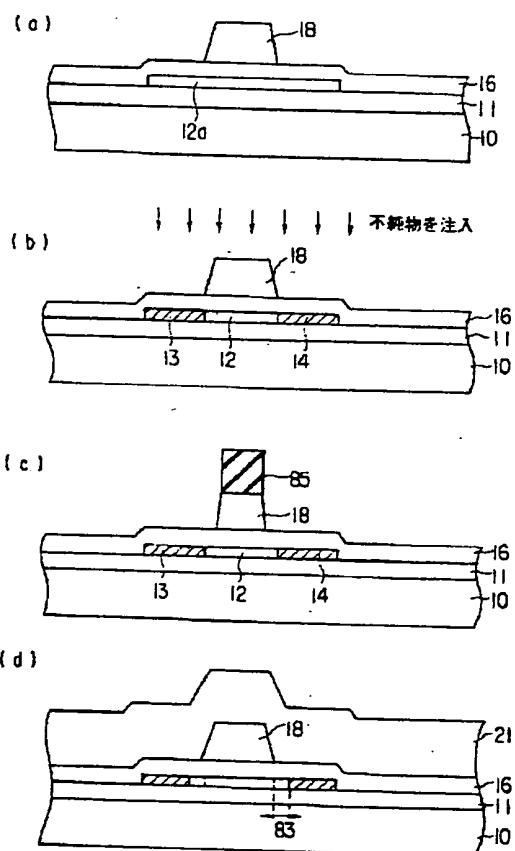
【図13】



【図14】



【図15】



【手続補正書】

【提出日】平成8年11月21日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】本発明に基づく多結晶シリコン薄膜トランジスタの製造方法の概要を示す図、(a)は金属薄膜の堆積が終了した段階、(b)はゲート電極のパターニングが終了した段階、(c)は不純物注入が終了した段階、

(d) はエキシマレーザビームの照射による活性化処理
工程の途中の段階、(e) はソース・ドレイン電極の形
成が終了した段階の各断面図を表す。

THIS PAGE BLANK (USPTO)